

Requested Patent: JP6167534A

Title:

LATCH UP MEASURING METHOD OF INTEGRATED CIRCUIT AND VOLTAGE
GENERATION CIRCUIT USING THE SAME ;

Abstracted Patent: JP6167534 ;

Publication Date: 1994-06-14 ;

Inventor(s): KOKUBO SHIGERU; others: 01 ;

Applicant(s): HANWA DENSHI KOGYO KK ;

Application Number: JP19920116620 19920325 ;

Priority Number(s): ;

IPC Classification: G01R31/26; G01R31/28; H01L27/092 ;

Equivalents: JP2691182B2 ;

ABSTRACT:

PURPOSE: To enable latch up measurement free from the effect of a floating inductance by applying a voltage by a specified waveform to terminals of an IC.

CONSTITUTION: In connection to voltage sources 21-24 ranging voltages V1-V4 with a relay sequentially according to time T1-T4 a voltage waveform is obtained automatically. The latch up measurement of an IC is based on changing the voltages V1-V4 and the time T1-T4. Values of the voltages V2 and V3 and the time T2 and T3 are set so as to allow the generation of a latch up according to the IC to be tested and a terminal voltage and thereafter, a voltage value and application time approximate to the values are detected. This eliminates the charging of a capacitor with an electric charge and hence, there is no eventual deficiency, for example, variations in the results of testing or each measurement with no effect of a floating inductance thereby stabilizing a latch up reference value.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-167534

(43) 公開日 平成6年(1994)6月14日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/26	G	9214-2G		
31/28	B	9214-2G		
		6912-2G	G 0 1 R 31/28	P
		9170-4M	H 0 1 L 27/08	3 2 1 Z
審査請求 有 請求項の数 5 (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平4-116620

(22) 出願日 平成4年(1992)3月25日

(71) 出願人 592049302

阪和電子工業株式会社

和歌山県和歌山市大垣内689番地3

(72) 発明者 小久保 茂

和歌山県和歌山市大垣内689番地3 阪和

電子工業株式会社内

(72) 発明者 中家 利幸

和歌山県和歌山市大垣内689番地3 阪和

電子工業株式会社内

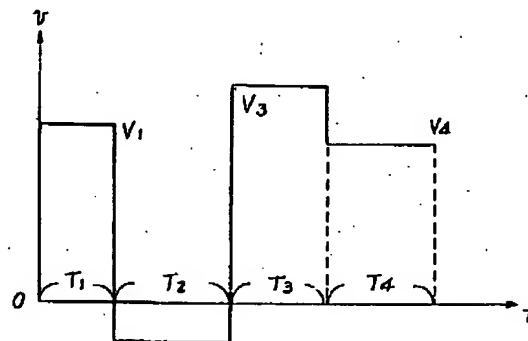
(74) 代理人 弁理士 赤尾 直人

(54) 【発明の名称】 集積回路のラッチアップ測定法及びこれに使用する電圧 発生回路

(57) 【要約】

【目的】 集積回路に対する電圧電源に基づくラッチアップテストにおいて、従来の静電パルス印加法のような、主位の浮遊インダクタンスによってテスト結果が左右されるとの欠点を克服し、ラッチアップを生ずる印加電圧及びその基準を、実験条件によって左右されずに得られる方法及びこれを実現する印加電源を提供することを目的とする。

【構成】 第1期間 (T_1) を生の立ち上がり電圧 (V_1) とし、第2期間 (T_2) を、これより低い低電圧 (V_2) とし、第3期間 (T_3) を、前記立ち上がり電圧よりも高電圧 (V_3) とし、最終期間 (T_4) を、立ち上がり電圧と概略等しい電圧 (V_4) とする波形による電圧を集積回路に印加し、対象となる集積回路の種類によって、前記 V_1 、 V_2 、 V_3 、 V_4 及び T_1 、 T_2 、 T_3 、 T_4 の値を変化させることに基づく集積回路のラッチアップ測定方法及びこれを実現する電圧電源。



【特許請求の範囲】

【請求項1】 第1期間(T_1)を生じの立ち上がり電圧(V_1)とし、第2期間(T_2)を、これより低い負(マイナス)の電圧(V_2)とし、第3期間(T_3)を、前記立ち上がり電圧よりも高電圧(V_3)とし、最終期間(T_4)を、立ち上がり電圧と概略等しい電圧(V_4)とする波形による電圧を集積回路に印加し、対象となる集積回路及び端子の種類によって、前記 V_1 、 V_2 、 V_3 、 V_4 及び T_1 、 T_2 、 T_3 、 T_4 の値を変化させることに基づく集積回路のラッチアップ測定方法。

【請求項2】 第1の期間(T_1)に立ち上がり電圧(V_1)を発生し、第2の期間(T_2)に前記 V_1 より低電圧(V_2)を発生し、第3の期間に(T_3)前記 V_1 よりも高い高電圧(V_3)を発生し、第4の期間に(T_4)前記 V_1 と略等しい電圧(V_4)を発生させることによる集積回路のラッチアップ測定用電圧発生装置。

【請求項3】 V_1 、 V_2 、 V_3 、 V_4 の各低電圧の電源の一方側を共通端に接続し、他方側をリレーによって選択的に接続可能としたことを特徴とする請求項2記載の電圧発生装置。

【請求項4】 電圧値 V_1 を有する第1の直流電源に対し、第1導線又は電圧値($V_1 - V_2$)を有する直流電源であって、印加する方向が第1電源と反対方向である第2電源とを第1スイッチを介して選択的に直列に接続し、前記第1導線及び第2電源と、第2導線又は電圧値($V_3 - V_2$)を有する直流電源であって、印加する方向が第1電源と同一方向である第3電源とを第2スイッチを介して直列に選択的に接続し、該第2導線及び第3電源と、第3導線又は電圧値($V_3 - V_4$)を有する直流電源であって、印加する方向が第1電源と反対方向である第4電源とを第3スイッチを介して選択的に直列に接続したことを特徴とする請求項2記載の電圧発生装置。

【請求項5】 電圧値 V_1 を有する第1直流電源、電圧値($V_1 - V_2$)を有する第2直流電源、電圧値($V_3 - V_2$)を有する第3直流電源、電圧値($V_3 - V_4$)を有する第4直流電源の内、第1直流電源、第3直流電源を同一方向とし、第2直流電源、第3直流電源をこれらと反対方向としたうえで、それぞれスイッチ及び同一の抵抗値を有する抵抗を介して並列に接続し、該並列回路の出力側に、電圧発生用抵抗を接続したことを特徴とする請求項2記載の電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、集積回路のラッチアップ測定方法及びこれを実現する為の電圧発生回路に関するものである。

【0002】

【従来の技術】 一般に半導体の集積回路では、PN接合

及びNPN接合が複雑に錯綜する為、特定の端子間の電圧器が一定以上を越えた場合、集積回路全体が導通状態となることがあり、このような現象をラッチアップと呼んでいる。

【0003】 例えば、図1に示すCMOSインバーターは、図2のようなシリコンウエハーによる構造を呈するが、これによる寄生トランジスタの等価回路は図3の通りであり、出力電圧たる V_{out} が、電源電圧 V_{DD} より高い場合には、PNP、NPNの双方のトランジスタがONの状態となり、 I_1 が第1のトランジスタ Tr_1 のエミッターに流れる時、これがコレクター電流 I_2 を誘発し、第2のトランジスタ Tr_2 のベースの電位を上昇させ、これに伴う電流増加により、第2のトランジスタ Tr_2 におけるエミッター電流 I_4 を誘発し、 I_4 によって第1のトランジスタ Tr_1 のベース電位が更に上昇して、コレクター電流 I_2 を誘発し、ひいては、二つのトランジスタ Tr_1 、 Tr_2 の電流が増加していき、 $V_{DD} - V_{ss}$ 間が導通状態となる。

【0004】 そして、前記CMOS構造の場合には、サイリスタの原理と同一の原理によってラッチアップが生ずるので、CMOS構造におけるラッチアップについては寄生サイリスタにより発生するとの表現が行なわれている。

【0005】 このようなラッチアップ現象は、集積回路においては本来避けるべきであることから、集積回路においては逆にラッチアップテストを行ない、各端子間にどの程度の電圧が印加された場合に導通状態が生ずるかをテストすることが要請されている。

【0006】 一般にラッチアップテストを行なう場合には、各端子間に一定電流を印加する所謂定電流注入法、集積回路において本来必要とされている電源電圧を印加する端子に、当該電源電圧よりも過大な電源電圧を加える所謂過電源印加法、コンデンサーに電荷を充電しておき、各端子に電荷を注入する、所謂静電パルス印加法、等が用いられている。このうち過電源印加法は電源端子に関するものであって、集積回路の各端子間を任意に選択してテストすることが不可能である。

【0007】 この点、定電流注入法及び静電パルス印加法は、引用端子を設定してラッチアップテストを行なう点において便利であり、特に低電流注入法は最も一般的に用いられている手法であって、測定用のテスト回路の影響は極めて少ない。

【0008】 しかしながら、定電流注入法によってラッチアップを生じない場合においても、静電パルス印加法によってラッチアップを生ずることがあることから、実際には静電パルス印加法によるラッチアップテストを採用せざるを得ないのが実情である。

【0009】 他方、静電パルス印加法においては、テストを行なう回路の回線の浮遊インダクタンスによってテストの結果が著しく左右されるとの欠点を免れることが

できない。

【0010】

【発明が解決しようとする課題】所詮静電パルス印加法は、集積回路の任意の端子に高電圧を加えることに他ならないが、本願発明は集積回路の各端子に特定の波形による電圧を印加することによって、ラッチアップテストを行なう方法及びこれを実現するための電圧出力装置を提供し、これによって浮遊インダクタンスの影響を受けないラッチアップ測定を実現することを目的とするものである。

【0011】

【課題を解決するための手段】前項の課題を解決する為、本発明のラッチアップテスト方法は、(1) 第1期間(T_1)を生立ち上がり電圧(V_1)とし、第2期間(T_2)を、これより低い負(マイナス)の電圧(V_2)とし、第3期間(T_3)を、前記立ち上がり電圧よりも高電圧(V_3)とし、最終期間(T_4)を、立ち上がり電圧と概略等しい電圧(V_4)とする波形による電圧を集積回路に印加し、対象となる集積回路及び端子の種類によって、前記 V_1 、 V_2 、 V_3 、 V_4 及び T_1 、 T_2 、 T_3 、 T_4 の値を変化させることに基づく集積回路のラッチアップ測定方法からなり、且つこのようなラッチアップテスト方法を実現する為の電源は、(2) 第1の期間(T_1)に立ち上がり電圧(V_1)を発生し、第2の期間(T_2)に前記 V_1 より低電圧(V_2)を発生し、第3の期間に(T_3)前記 V_1 よりも高い高電圧(V_3)を発生し、第4の期間に(T_4)前記 V_1 と略等しい電圧(V_4)を発生させることによる集積回路のラッチアップ測定用電圧発生装置からなる。

【0012】前記(1)記載の方法は、図4に示すラッチアップテストにおいて、集積回路1に対して印加する電源2において、図5に示す波形の電圧を発生する電源を用いることを特徴とするものであり、電源2はこれを実現することと特徴とするものである。

【0013】

【作用】ここで図5に示す電圧を加える根拠について説明する。

【0014】図6に示す静電パルス印加法によるラッチアップテスト法において、図7(イ)はラッチアップが生じない場合のテスト端子間の電圧であり、図7(ロ)はラッチアップが生じている場合の電源端子電圧を示す。

【0015】図7(イ)と図7(ロ)を対比しても明らかなように、ラッチアップを生ずるか否かは下方に降下した電圧値と、その直後上昇した電圧値との差に概ね依存していることが判明する。

【0016】本願はこの点に着目し、下方に降下した電圧値の部分として V_2 を設定し、その後上昇する上方のピーク時として V_3 を設定する訳である。

【0017】他方、 V_1 は、図7(イ)、(ロ)において、当初集積回路を作動状態に導く為のイニシャル電圧であって、集積回路の処理及び端子によって異なるが、図7(イ)、(ロ)の場合には、約6.7Vである。

【0018】 V_4 は、ラッチアップが生じた場合、これを維持した状態とする為の電圧であり、イニシャル電圧 V_1 と略等しい値を設定すると良い。

【0019】 V_1 、 V_2 、 V_3 、 V_4 、及び T_1 、 T_2 、 T_3 及び T_4 はテストする集積回路及びテストを行なう端子によって、それぞれ適切な値異なるが、様々の実験の結果下記の如き事実が判明している。

【0020】①、 V_2 が低い方が、端子間に逆流電圧が生じてラッチアップが生じ易い。

【0021】②、 V_3 が高い方が、 V_2 と V_3 との格差が大きく、ラッチアップが生じ易い。

【0022】③、 T_2 の時間が長い方が、端子間に逆流電流が生じている期間が長く、集積回路の加熱が生じ易くて、ラッチアップが生じ易い。

【0023】④、 T_3 が長い方が、端子間に導通する重方向電流によって、加熱が生じラッチアップが生じ易い。

【0024】⑤、 V_1 、 T_1 、 V_4 、 T_4 の大きさは、ラッチアップが生じ易いか否かには、然して影響は与えない。

【0025】無論、テスト対象となる集積回路及び端子によって前記 $V_1 \sim V_4$ 及び $T_1 \sim T_4$ の値を変化させ、ラッチアップが生ずる場合の V_2 、 V_3 及びこれに必要な T_2 、 T_3 が実験的に定められることになる。

【0026】逆に、集積回路の各端子において、 V_2 以下の負の電圧、 V_3 以上の正の電圧及び T_2 、 T_3 を上回る期間による引加は、ラッチアップを生ずるものとして、禁忌されることになる。

【0027】

【実施例】以下、図5に示す電圧波形を発生可能とする電源の実施例について述べる。

【0028】

【実施例1】実施例1は、図8に示すように、 V_1 、 V_2 、 V_3 、 V_4 の各電圧の電源の一方側を共通端に接続し、他方側をリレーによって選択的に接続可能としたことを特徴とする実施例である。

【0029】図8において、リレーによって、 V_1 、 V_2 、 V_3 、 V_4 の各電圧源と時間 T_1 、 T_2 、 T_3 、 T_4 に従って、順次接続した場合には、自動的に図5に示す電圧波形が得られることになる。

【0030】

【実施例2】実施例2は、図9に示すように、電圧値 V_1 を有する第1の直流電源に対し、第1導線又は電圧値($V_1 - V_2$)を有する直流電源であって、印加する方向が第1電源と反対方向である第2電源とを第1スイッチ41を介して選択的に直列に接続し、前記第1導線及

び第2電源と、第2導線又は電圧値 ($V_3 - V_2$) を有する直流電源であって、印加する方向が第1電源と同一方向である第3電源とを第2スイッチ42を介して直列に選択的に接続し、該第2導線及び第3電源と、第3導線又は電圧値 ($V_3 - V_4$) を有する直流電源であって、印加する方向が第1電源と反対方向である第4電源とを第3スイッチ43を介して選択的に直列に接続したことを特徴とする請求項2記載の電圧発生装置実施例である

【0031】実施例2においては、各選択スイッチは、順次直列に接続されているが、当初全てのスイッチを、第1導線、第2導線、第3導線側に選択し、時間 T_1 だけ導通させた後、第1スイッチ41を時間 T_2 だけ、第2電源側に移転させた場合には、全体の直列回路からは、 $V_1 - (V_1 - V_2) = V_2$ の電圧が発生し、

【0032】次に、第2スイッチ42を、第2導線から第3電源側に移転させた場合には、全体の直列回路から ($V_3 - V_2$) + $V_2 = V_3$ の電圧が発生し、次に第3スイッチ43を第3導線から第4電源側に移転させた場合には、全体の直列回路からは、 $V_3 - (V_3 - V_4) = V_4$ の電圧が発生する。

【0033】そして、第1スイッチを切り替える時間と第3スイッチを切り替える時間との間隔を T_2 とし、第2スイッチ42と第3スイッチ43とを切り替える時間を T_3 とし、第3スイッチを切り替えた後の引加時間を T_4 とした場合には、図5に示す電圧波形が得られることになる。

【0034】

【実施例3】実施例3は、第10図に示すように、電圧値 V_1 を有する第1直流電源、電圧値 ($V_1 - V_2$) を有する第2直流電源、電圧値 ($V_3 - V_2$) を有する第3直流電源、電圧値 ($V_3 - V_4$) を有する第4直流電源の内、第1直流電源、第3直流電源を同一方向とし、第2直流電源、第3直流電源をこれらと反対方向としたうえで、それぞれスイッチ及び同一の抵抗値 r を有する抵抗を介して並列に接続し、該並列回路の出力側に、電圧発生用抵抗 R を接続したことを特徴とする請求項2記載の電圧発生回路実施例である。

【0035】本実施例において、並列抵抗 r を設けるのは、例えば第1スイッチ41及び第2スイッチ42をONとした場合には、両スイッチ及び第1直流電源21及び第2直流電源22によって閉回路が形成され、仮に並列抵抗 r が存在しない場合には、過大電流が流れ、回路がショートしてしまうからである。

【0036】又、各並列抵抗を、同一の抵抗値 r に設定するのは、後述するように、第1スイッチ、第2スイッチ、第3スイッチ及び第4スイッチを順次ONとした場合、それぞれ抵抗 R に V_1 、 V_2 、 V_3 、 V_4 に比例した電圧を得ることができるからである。

【0037】実施例3において、最初に第1スイッチ4

1のみをONとした場合には、抵抗 R を導通する電流は、 $V_1 / (r + R)$ である。

【0038】次に第1スイッチ及び第2スイッチ42をONとした場合において、抵抗 R を導通する電流は、キルヒホッフの法則によって、 $V_2 / (r + 2R)$ である。

【0039】同様に第1スイッチ41、第2スイッチ42、第3スイッチ43をONとした場合には、抵抗 R を流れる電流は、 $V_3 / (r + 3R)$ である。

【0040】最後に、第1スイッチ41、第2スイッチ42、第3スイッチ43、第4スイッチ44の全てをONとした場合には、抵抗 R を導通する電流は、 $V_4 / (r + 4R)$ である。

【0041】即ち、最初に第1スイッチ41のみをONとする時間を T_1 とし、第1スイッチ41、第2スイッチ42をONとする時間を T_2 とし、第1スイッチ41、第2スイッチ42、第3スイッチ43をONとする時間を T_3 とし、第1スイッチ41～第4スイッチ44の全てをONとする時間を T_4 とし、 V_1 について $(r + R) / R$ 、 V_2 について $(r + 2R) / R$ 、 V_3 について $(r + 3R) / R$ 、 V_4 について $(r + 4R) / R$ 倍の補正を行なった場合には、抵抗 R の両端の電圧は、図5に示す電圧波形となる。

【0042】

【発明の効果】以上のような、本願発明の電圧発生源を用いてラッチアップテストの方法を実行した場合には、テストの対象となる集積回路、端子電圧に依じて、ラッチアップが生じうる V_2 、 V_3 及び T_2 、 T_3 の値が設定され、今後これに類似した電圧値及び印加時間が検知され、逆にラッチアップを防ぐ為の重要な基準が得られることになる。

【0043】しかも、本願発明では、従来の静電パルス印加法のような、コンデンサーに電荷を充電しない為、浮遊インダクタンスの影響を受けず、測定毎にテスト結果がばらつく等との欠点を生ずることはあり得ない。

【0044】この為、ラッチアップテストの基準値を極めて安定したものとすることが可能となり、本願発明の価値は絶大である。

【0045】

【図面の簡単な説明】

【図1】 CMOSインバーターの回路図

【図2】 CMOSインバーターの構造を示す側面図

【図3】 CMOSインバーターの等回路図

【図4】 ラッチアップテストの状況を示す全体の回路図

【図5】 本願発明において印加する電圧の波形を示すグラフ

【図6】 従来の静電破壊法の方法を示す全体の回路図

【図7 (イ)、(ロ)】 従来の静電破壊法によってラッチアップを生ずる場合と生じない場合との電圧変動を

示すグラフ

【図8】、

【図9】、

【図10】 本願発明において、図5に示す電圧波形を生じさせる電圧電源の回路構成の実施例を示す回路図

【符合の説明】

1：集積回路

2：電源

21：第1電源

22：第2電源

23：第3電源

24：第4電源

31：第1導体

32：第2導体

33：第3導体

41：第1スイッチ

42：第2スイッチ

43：第3スイッチ

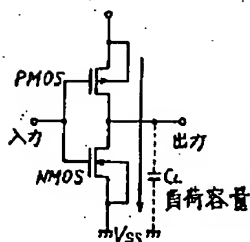
44：第4スイッチ

5：抵抗

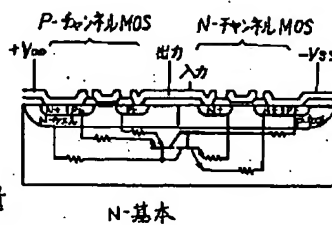
10 6：測定回路

7：オシロスコープ

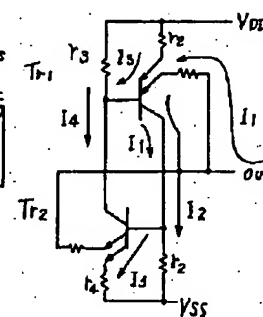
【図1】



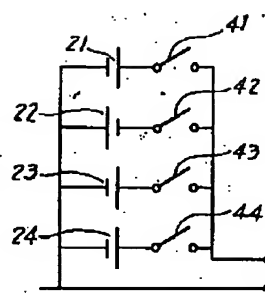
【図2】



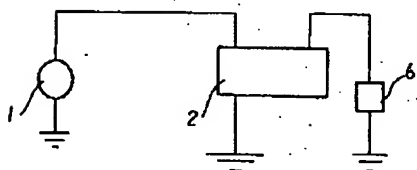
【図3】



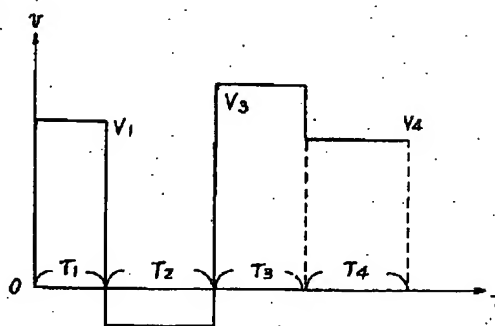
【図8】



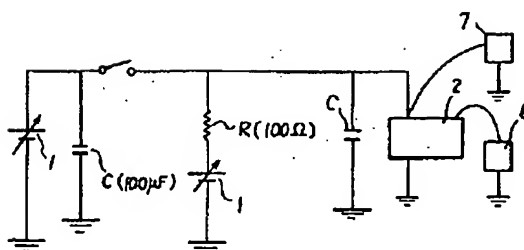
【図4】



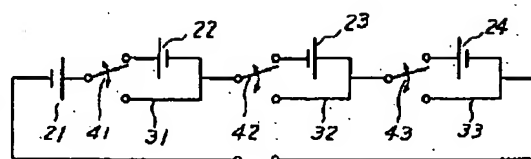
【図5】



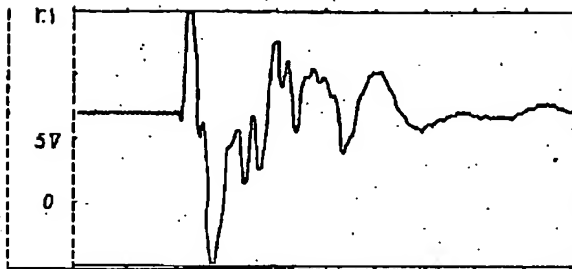
【図6】



【図9】



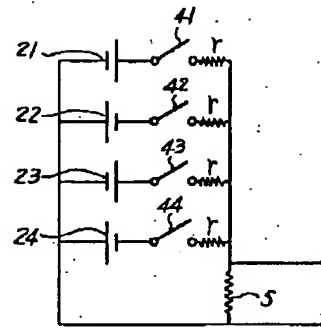
【図7 (イ)】



【図7 (ロ)】



【図10】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092